



⑩ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 195 02 499 A 1**

⑥ Int. Cl.⁶:
G 05 B 19/042
G 08 F 13/12

⑳ Aktenzeichen: 195 02 499.0
㉔ Anmeldetag: 27. 1. 95
㉕ Offenlegungstag: 1. 8. 96

DE 195 02 499 A 1

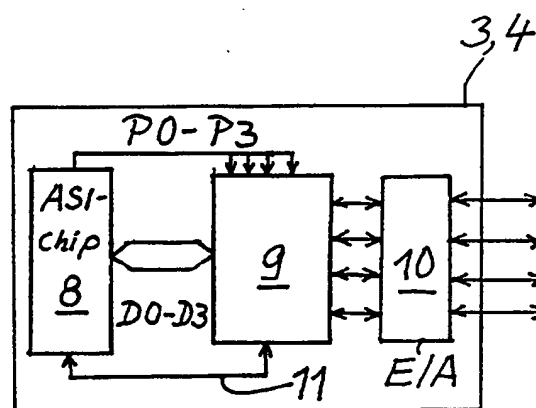
㉑ Anmelder:
Pepperl & Fuchs GmbH, 68307 Mannheim, DE

㉒ Vertreter:
Mierswa, K., Dipl.-Ing., Pat.- u. Rechtsanw., 68199
Mannheim

㉓ Erfinder:
Erfinder wird später genannt werden

⑤4 Bussystem zur Steuerung und Aktivierung von miteinander vernetzten ASI-Slaves, vorzugsweise binäre Sensoren oder Eingangsmodule und/oder Ausgangsmodule oder Aktuatoren eines Aktuator-Sensor-Interface

⑤7 Die Erfindung betrifft ein Bussystem zur Steuerung und Aktivierung von miteinander vernetzten und kommunizierenden ASI-Slaves (3, 4, 5, 6, 7), vorzugsweise binäre Sensoren oder Eingangsmodule und/oder Ausgangsmodule oder Aktuatoren eines Aktuator-Sensor-Interface, insbesondere gemäß ASI-Standard mit einem Verarbeitungsrechner (Host-rechner), wie speicherprogrammierbare Steuerung oder Bus-Rechner, an den der, wenigstens einen Controller aufweisende, ASI-Master angeschlossen ist, über welchen die ASI-Slaves ansteuerbar sind und umgekehrt, wobei der ASI-Master die auf das Bussystem von den ASI-Slaves aufgegebenen Signale des Verarbeitungsrechners in einem vorgegebenen Zeitraster (ASI-Masterprogramm) dem Verarbeitungsrechner zur Verfügung stellt, und der ASI-Master zu jedem Zeitpunkt das Bussystem in einen elektrisch sicheren Zustand zu versetzen imstande ist. Die binären Eingangsmodule (3, 4, 5, 6, 7) und/oder binären Ausgangsmodule (ASI-Slaves) sind binäre Mehrfachanschaltungen mit künstlicher Rechenintelligenz in Form von intelligenter Elektronik, insbesondere ausgestattet mit wenigstens einem Mikrocontroller (9) und/oder Logikbausteinen und/oder Speichern, die es gestattet, eine Vorverarbeitung der Eingangssignale und/oder Ausgangssignale der ASI-Slaves durchzuführen.



DE 195 02 499 A 1

Beschreibung

Technisches Gebiet

Die Erfindung betrifft ein Bussystem zur Steuerung und Aktivierung von miteinander vernetzten und kommunizierenden ASI-Slaves, vorzugsweise binäre Sensoren oder Eingangsmodule und/oder Ausgangsmodule oder Aktuatoren eines Aktuator-Sensor-Interface, insbesondere gemäß ASI-Standard mit einem Verarbeitungsrechner (Hostrechner), wie speicherprogrammierbare Steuerung oder Bus-Rechner, an den der ASI-Master angeschlossen ist, über welchen die ASI-Slaves ansteuerbar sind und umgekehrt, wobei der ASI-Master die auf das Bussystem von den ASI-Slaves aufgegebenen Signale des Verarbeitungsrechners in einem vorgegebenen Zeit-
raster (ASI-Masterprogramm) dem Verarbeitungsrechner zur Verfügung stellt, und der ASI-Master zu jedem Zeitpunkt das Bussystem in einen elektrisch sicheren Zustand zu versetzen imstande ist, gemäß dem Oberbegriff des Anspruchs 1.

Stand der Technik

Bei Feldbussystemen war es bisher aus Kosten- und Platzgründen praktisch nicht möglich, binäre Sensoren oder Aktuatoren direkt busfähig zu machen. Heute können allerdings Sensoren neben dem eigentlichen Schaltzustand durch hochintegrierte Technologien noch weitere Funktionen liefern, die beispielsweise Einstell- und Diagnosemöglichkeiten der Sensoren oder Aktuatoren bieten oder sonstige Funktions- und Voraussfallanzeigen gestatten.

Um diese Nachteile zu beheben, wurde der Aktuator-Sensor-Interface-Standard, ASI-Standard genannt, geschaffen, der ein standardisiertes Feldbuskonzept darstellt, mit dem binäre Aktuatoren und Sensoren mit der untersten bzw. ersten Steuerungsebene verknüpft werden, um sie vernetzen und kommunikationsfähig zu machen. Das Aktuator-Sensor-Interface ersetzt dabei den Kabelbaum, Verteilerschränke, Klemmleisten usw. durch ein einfaches Zweileiter-Flachbandkabel, über das Daten und Signale mit den Peripherieelementen ausgetauscht werden und das diese zugleich mit Energie versorgt. Mit einem sogenannten separaten ASI-Anschluß in Form eines standardisierten Moduls, der Teil der Busstruktur ist, macht ASI dadurch zunächst einmal die meisten konventionellen binären Peripherieelemente busanschlußfähig. Beim integrierten ASI-Anschluß befindet sich hingegen in einem Sensor/Aktuator ein sogenannter Slave-Baustein, der dadurch den Sensor/Aktuator direkt busfähig macht (ASI-Verein in: Sonderdruck aus Feldbussysteme für die Investitionsgüterindustrie, Herausgeber VDMA, Frankfurt 1992, Stand 31.12.1992 sowie Druckschrift: Fabrikautomation VariNet-A Aktuator-Sensor-Interface, Katalog Sensorsysteme 5, Ausgabe 1994, Herausgeber: Firma Pepperl + Fuchs GmbH, 68301 Mannheim).

Der ASI-Master übernimmt alle Aufgaben, die für die Abwicklung des Busbetriebs der ASI-Slaves notwendig sind einschließlich Aufgaben der Initialisierung und der Diagnose. Über den ASI-Master, der normalerweise einen Controller besitzt, ist an den Feldbus ein übergeordneter Verarbeitungsrechner, nämlich Hostrechner, wie speicherprogrammierbare Steuerung oder Bus-Rechner oder PC oder VME-Busrechner, angeschlossen, dem sämtliche Signale aller ASI-Slaves zugeführt werden, wobei der ASI-Master gewährleistet, daß die Signale dem Hostrechner in einem festen Zeitrahmen zur Verfügung gestellt werden und umgekehrt die Steuerungsbefehle des Hostrechners den ASI-Slaves aufgegeben werden. Der ASI-Master stellt außerdem sicher, daß hinzugekommene Slaves erkannt und ausgefallene Slaves an den Hostrechner gemeldet werden; der ASI-Master paßt somit die ASI-Funktionen der Slaves an das externe Verarbeitungssystem des Hostrechners an.

Die Leistungsfähigkeit der ASI-Slaves innerhalb des ASI-Standards ist allerdings begrenzt, weil sie über keine Intelligenz verfügen und somit nur in ihrer Funktion als Melder oder Geber zu wirken imstande sind, wobei die Anzeige gewisser Funktions- und/oder Voraussfallanzeigen bei einzelnen Sensoren oder Aktuatoren mit integriertem ASI über den Bus allerdings möglich ist.

Technische Aufgabe

Der Erfindung liegt die Aufgabe zugrunde, ein Bussystem der eingangs genannten Gattung zu schaffen, bei dem die ASI-Slaves mit einer gewissen künstlichen Intelligenz ausgestattet sind, um dezentrale Vorgänge schneller einleiten zu können, wobei der ASI zur Steuerung der ASI-Slaves und/oder zur Visualisierung einsetzbar sein soll.

Offenbarung der Erfindung und deren Vorteile

Die Lösung der Aufgabe besteht darin, daß erfindungsgemäß die binären Eingangsmodule und/oder binären Ausgangsmodule (ASI-Slaves) binäre Mehrfachanschlüssen mit künstlicher Rechenintelligenz in Form von intelligenter Elektronik sind, insbesondere ausgestattet mit wenigstens einem Mikrocontroller und/oder Logikbausteinen und/oder Speichern, die es gestattet, eine Vorverarbeitung der Eingangssignale und/oder Ausgangssignale der ASI-Slaves durchzuführen und die künstliche Intelligenz in den ASI-Slaves Signalverknüpfungen zwischen den Ein- und/oder Ausgängen der ASI-Slaves durchzuführen imstande ist.

Aufgrund der Tatsache, daß die ASI-Slaves mit elektronischer Rechenintelligenz ausgestattet sind, können in vorteilhafter Weise insbesondere dezentrale Vorgänge schneller eingeleitet werden, als es beim heutigen ASI-Standard der Fall ist. Der ASI-Master kann vorteilhaft sowohl zur Steuerung der ASI-Slaves als auch oder gemeinsam zur Visualisierung eingesetzt werden.

In vorteilhafter Ausgestaltung des Bussystems kann die künstliche Intelligenz der ASI-Slaves aus Mikrocontrollern und/oder Logikbausteinen bestehen; oder die künstliche Intelligenz der ASI-Slaves kann aus Bausteinen bestehen, die eine zeitliche Funktion ausüben, wie Teiler und/oder Monoflops und/oder Flip-Flops und oder Zähler, wie vorzugsweise voreinstellbare Zähler o. ä.

Der Datenaustausch mit den ASI-Slaves wird gemäß dem ASI-Standard vom ASI-Master bedient, wozu der Hostrechner die Daten des Hostprogramms an den ASI-Master übergibt, der für das Weiterleiten der Daten und den Datenaustausch mit den ASI-Slaves Sorge zu tragen hat. Lediglich der ASI-Master tauscht über eine eigene Schnittstelle nach außerhalb des ASI-Steuermasters Daten mit den ASI-Slaves aus; der ASI-Master sorgt für den gesamten Datenaustausch auf den ASI-Kreis mit den ASI-Slaves.

Aufgrund der Erfindung wird insbesondere die Leistungsfähigkeit der ASI-Slaves innerhalb eines Bussystems gemäß ASI-Standard wesentlich erhöht. Dabei können zeitliche Funktionen, beispielsweise mittels Monoflop, oder Schwellwertangaben mittels Ausgang setzen oder Zeitfunktionen mittels eines Teilers, der vorzugsweise voreinstellbar ist, verwirklicht werden. Über Parameter-Bits aus dem ASI-Master zu den ASI-Slaves können verschiedene logische Zusammenhänge gesetzt werden, beispielsweise Drehrichtungserkennungen durchgeführt werden.

Kurzbeschreibung der Zeichnung, in der zeigen:

Fig. 1 ein Beispiel eines ASI-Netzes mit verschiedenen ASI-Slaves,

Fig. 2 ein Blockschaltbild eines Beispiels eines intelligenten ASI-Slaves gemäß der Erfindung,

Fig. 3 ein Beispiel eines ASI-Slaves als Vierfach-Signalausgangsmodul, beispielsweise für die Impulsverlängerung oder Wischerfunktion,

Fig. 4a ein weiteres Beispiel eines ASI-Slaves als Zweifach-Signaleingang/Zweifach-Signalausgangsmodul, beispielsweise für die Drehrichtungserkennung,

Fig. 4b ein ähnliches Beispiel in logischer Verknüpfung zwischen Eingängen und Ausgängen,

Fig. 5 ein weiteres Beispiel eines ASI-Slaves als Vierfach-Signaleingangsmodul, beispielsweise für die Drehzahlüberwachung und

Fig. 6 ein weiteres Beispiel eines ASI-Slaves als Vierfach-Signaleingangsmodul, beispielsweise als Eingangsfrequenzteiler.

Bevorzugte Ausführungsform der Erfindung

In Fig. 1 ist ein Beispiel eines ASI-Netzes gezeigt, bestehend aus einem ASI-Master 1, der zum Datenaustausch an einen nichtgezeigten Hostrechner angeschlossen ist, und aus verschiedenen ASI-Slaves 3, 4, 5, 6, 7, die mit dem ASI-Master über Standard-Zweidrahtkabel 2 als Übertragungsmedium sowohl für die Energieversorgung als auch für die Datenübertragung verbunden sind. Die ASI-Slaves 5, 6, 7 seien bekannte ASI-Slaves des ASI-Standards; die ASI-Slaves 3, 4 sind erfindungsgemäße ASI-Slaves mit künstlicher, elektronischer Rechenintelligenz, dessen Blockschaltbild in Fig. 2 gezeigt ist.

Der ASI-Slave 3, 4 der Fig. 2 besteht aus dem ASI-Chip 8, der über Parameterleitungen P0—P3 sowie Datenleitungen D0—D3 mit einem Baustein 9 verbunden ist, der eine Rechenintelligenz darstellt, wie Microcontroller oder Logikbausteine oder Bausteine, die eine zeitliche Funktion ausüben, wie Teiler oder Monoflops oder Flip-Flops oder Zähler, die vorzugsweise voreinstellbar sind, oder ähnliches. Des weiteren ist der ASI-Chip mittels einer Synchronisationsleitung 11, Strobe, mit der künstlichen Intelligenz 9 verbunden. Der Baustein 9 der künstlichen Intelligenz ist mit einem Vierfach-Eingangs-Ausgangs-Baustein 10 verbunden, der bis zu je vier nach außen führende Eingänge und/oder Ausgänge besitzt, die in Fig. 2 durch Doppelpfeile dargestellt sind.

Fig. 3 zeigt ein Beispiel eines intelligenten ASI-Slaves als Vierfach-Signal-Ausgangsmodul, beispielsweise für die Impulsverlängerung oder Wischerfunktion, wobei der ASI-Slave gemäß Fig. 2 aufgebaut ist und eine künstliche Intelligenz 12 aufweist. Die vier Ausgänge des ASI-Slaves sind mit Ausgang 0 (A0), 1 (A1), 2 (A2), 3 (A3) bezeichnet.

Die Funktionstabelle kann beispielsweise hierfür lauten:

P0	P1	P2	P3	Zeitkonstante	
0	0	0	0	-	
1	0	0	0	T=T(1)	
0	1	0	0	T=T(2)	
0	1	0	0	T=T(3)	
0	0	1	0	T=T(4)	
		.			
		.			
		.			

Fig. 4 zeigt ein weiteres Beispiel eines intelligenten, erfindungsgemäßen ASI-Slaves als Zweifach-Signalein-

gang/Zweifach-Signalausgangsmodul, der gemäß der Fig. 2 aufgebaut ist und der beispielsweise für die Drehrichtungserkennung geeignet ist. Die beiden Eingänge in die künstliche bzw. logische Intelligenz 13 sind mit Eingang 0 (E0) und Eingang (E1) die beiden Ausgänge mit Ausgang 0 (A0) und Ausgang 1 (A1) benannt.

Es gilt:

$$\begin{aligned} E0(T1) \cup E1(T2) A0 &= 1 \\ E0(T2) \cup E1(T1) A1 &= 1 \\ \text{wenn } T1 < T2. \end{aligned}$$

In Fig. 4b ist ein weiterer erfindungsgemäßer intelligenter ASI-Slave gezeigt, in welchem beispielsweise die folgende logische Verknüpfungstabelle hinterlegt ist zur Verknüpfung der Eingänge und zur Aufschaltung auf die Ausgänge.

	P0	P1	P2	P3	A0	A1
15	0	0	0	0	D	D
	1	0	0	0	E0	D
20	0	1	0	0	E0	E1
	0	0	1	0	$E0 \cap E1$	D
	0	0	0	1	$E0 \cup E1$	D

Insbesondere die Ablage einer Funktion in Form einer logischen Verknüpfungstabelle zur Verknüpfung der Eingänge und/oder Ausgänge und zur Aufschaltung auf die Ausgänge und/oder Eingänge in einem erfindungsgemäßen intelligenten ASI-Slave mittels intelligenter Rechenelektronik ist ein wesentlicher Aspekt der Erfindung und stellt eine wesentliche Verbesserung der bekannten ASI-Slaves dar.

Fig. 5 zeigt ein weiteres Beispiel eines intelligenten ASI-Slaves mit künstlicher elektronischer Intelligenz 14 als Vierfach-Signal-Eingangsmodul, beispielsweise für die Drehzahlüberwachung. Dabei kann folgende Funktion beispielhaft abgelegt sein:

	P0	P1	P2	P3	Drehzahl unterschritten
35	0	0	0	0	-----
	1	0	0	0	$T=T(1)$
40	0	1	0	0	$T=T(2)$
	1	1	0	0	$T=T(3)$
	0	0	1	0	$T=T(4)$
45			...		
					Drehzahl überschritten
	0	0	0	1	$T=T(1)$
50	1	0	0	1	$T=T(2)$
	0	1	0	1	$T=T(3)$
	1	1	0	1	$T=T(4)$
55			...		

Fig. 6 zeigt ein weiteres Beispiel eines intelligenten ASI-Slaves gemäß der Fig. 2 als Vierfach-Signal-Eingangsmodul mit künstlicher Intelligenz 15, beispielsweise als Eingangsfrequenzteiler. Dabei kann in der künstlichen Intelligenz 15 beispielsweise folgende Funktion hinterlegt sein:

P0	P1	P2	P3	Teiler	
0	0	0	0	-	
1	0	0	0	T=T(1)	5
0	1	0	0	T=T(2)	
1	1	0	0	T=T(3)	
0	0	1	0	T=T(4)	10

Gewerbliche Anwendbarkeit

Der Gegenstand der Erfindung ist insbesondere für Bussysteme bei einem Aktuator-Sensor-Interface zur Steuerung und Aktivierung von miteinander vernetzten und kommunizierenden binären, intelligenten Mehrfachmodulen, intelligenten ASI-Slaves, anwendbar, deren Leistungsfähigkeit innerhalb des Aktuator-Sensor-Interfaces gemäß ASI-Standard wesentlich erhöht wird. 15

Patentansprüche 20

1. Bussystem zur Steuerung und Aktivierung von miteinander vernetzten und kommunizierenden ASI-Slaves (3, 4, 5, 6, 7), vorzugsweise binäre Sensoren oder Eingangsmodule und/oder Ausgangsmodule oder Aktuatoren eines Aktuator-Sensor-Interface, insbesondere gemäß ASI-Standard mit einem Verarbeitungsrechner (Hostrechner), wie speicherprogrammierbare Steuerung oder Bus-Rechner, an den der, wenigstens einen Controller aufweisende, ASI-Master angeschlossen ist, über welchen die ASI-Slaves ansteuerbar sind und umgekehrt, wobei der ASI-Master die auf das Bussystem von den ASI-Slaves aufgegebenen Signale des Verarbeitungsrechners in einem vorgegebenen Zeitraster (ASI-Masterprogramm) dem Verarbeitungsrechner zur Verfügung stellt, und der ASI-Master zu jedem Zeitpunkt das Bussystem in einen elektrisch sicheren Zustand zu versetzen imstande ist, dadurch gekennzeichnet, daß die binären Eingangsmodule (3, 4, 5, 6, 7) und/oder binären Ausgangsmodule (ASI-Slaves) binäre Mehrfachanschlüsse mit künstlicher Rechenintelligenz in Form von intelligenter Elektronik sind, insbesondere ausgestattet mit wenigstens einem Mikrocontroller (9) und/oder Logikbausteinen und/oder Speichern, die es gestattet, eine Vorverarbeitung der Eingangssignale und/oder Ausgangssignale der ASI-Slaves durchzuführen und die künstliche Intelligenz in den ASI-Slaves (3, 4, 5, 6, 7) Signalverknüpfungen zwischen den Eingängen und/oder Ausgängen der ASI-Slaves (3, 4, 5, 6, 7) durchzuführen imstande ist. 25
2. Bussystem nach Anspruch 1, dadurch gekennzeichnet, daß die künstliche Intelligenz der ASI-Slaves (3, 4, 5, 6, 7) aus wenigstens einem Mikrocontroller (9) und/oder Logikbausteinen und/oder Speichern besteht.
3. Bussystem nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die künstliche Intelligenz der ASI-Slaves (3, 4, 5, 6, 7) aus Bausteinen (9) besteht, die eine zeitliche Funktion ausüben, wie Teiler und/oder Monoflops und/oder Flip-Flops und/oder Zähler, die vorzugsweise voreinstellbar sind, o. ä. 30
4. Bussystem nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die ASI-Slaves (3, 4, 5, 6, 7) solche mit bis zu vier binären Eingängen und/oder bis zu vier binären Ausgängen sind.
5. Bussystem nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß über Parameter-Bits aus dem ASI-Master (1) zu den ASI-Slaves (3, 4, 5, 6, 7) verschiedene logische Zusammenhänge gesetzt werden können. 35

Hierzu 5 Seite(n) Zeichnungen

50

55

60

65

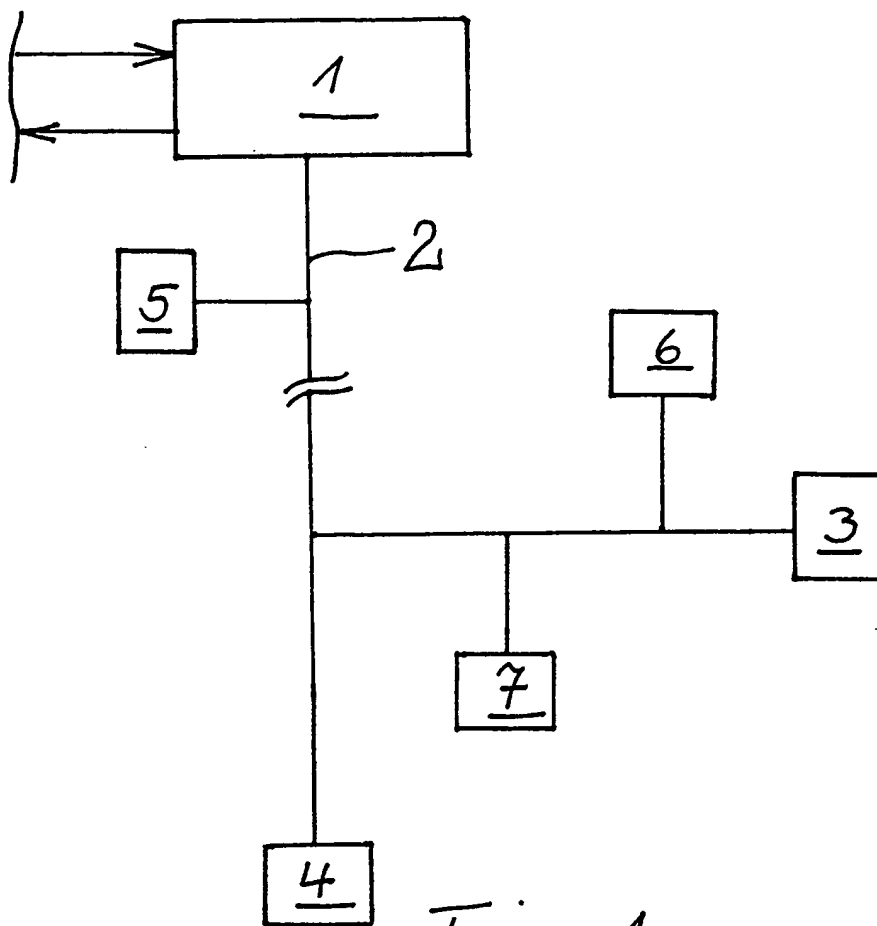


Fig. 1

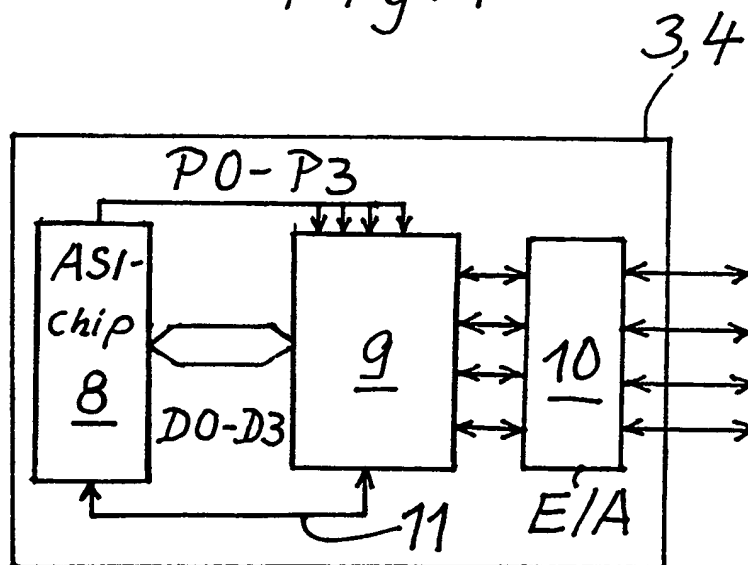
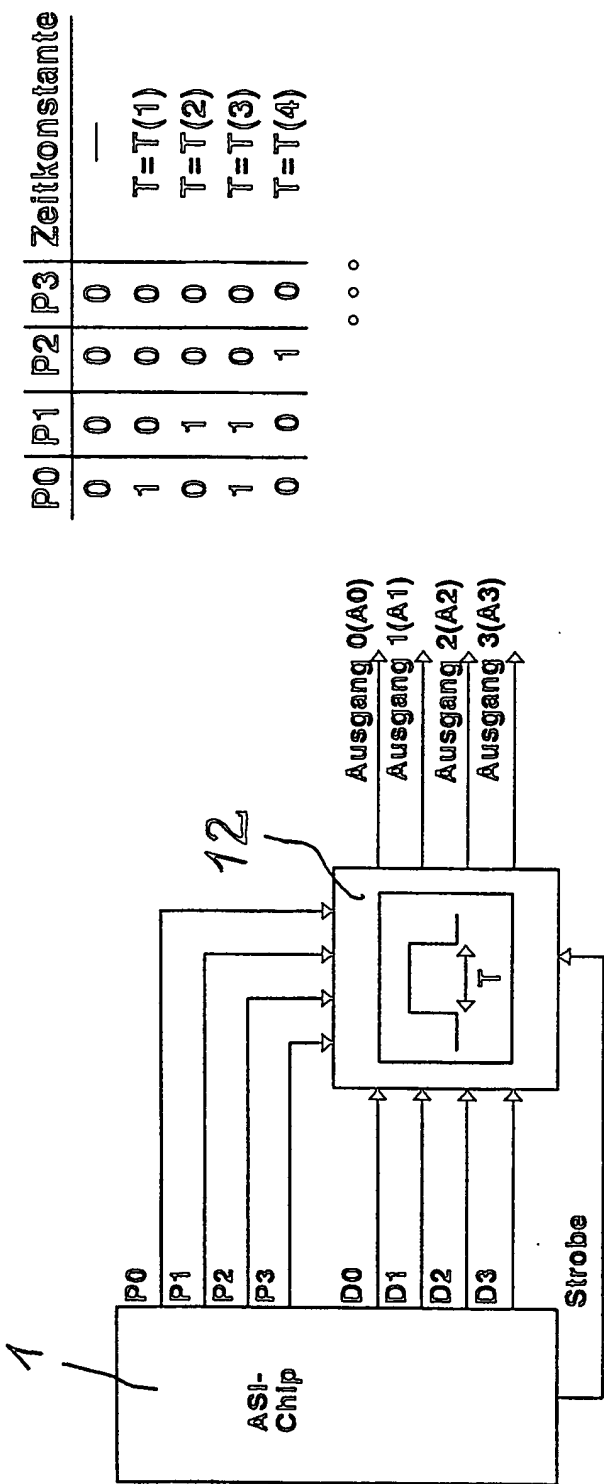


Fig. 2

z.B. Impulsverlängerung oder
Wischerfunktion



P0	P1	P2	P3	Zeitkonstante
0	0	0	0	—
1	0	0	0	T=T(1)
0	1	0	0	T=T(2)
1	1	0	0	T=T(3)
0	0	1	0	T=T(4)
			...	

Fig. 3

a)
z.B. Drehrichtungserkennung

$E0(T1) \vee E1(T2)$ $A0=1$
 $E0(T2) \vee E1(T1)$ $A1=1$

wenn $T1 < T2$

b)
z.B. logische Verknüpfung

P0	P1	P2	P3	A0	A1
0	0	0	0	D	D
1	0	0	0	E0	D
0	1	0	0	E0	E1
0	0	1	0	$E0 \cap E1$	D
0	0	0	1	$E0 \vee E1$	D

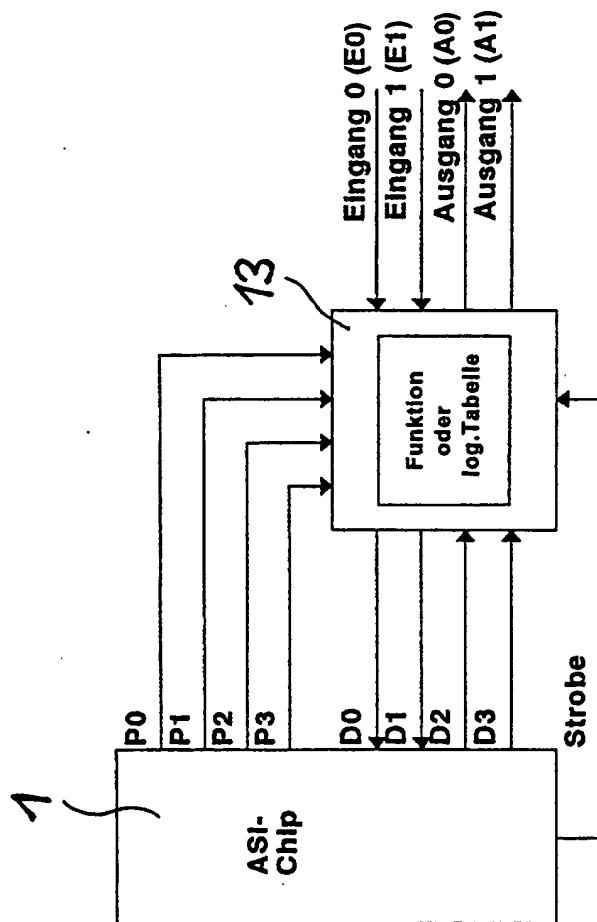


Fig. 4

z.B. Drehzahlüberwachung

Drehzahl unterschritten				Drehzahl überschritten			
P0	P1	P2	P3	P0	P1	P2	P3
0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1
0	1	0	0	0	1	0	1
1	1	0	0	1	1	0	1
0	0	1	0	1	1	1	1
...				...			
0	0	0	1	0	0	1	1
1	0	0	1	1	0	1	1
0	1	0	1	0	1	1	1
1	1	0	1	1	1	1	1

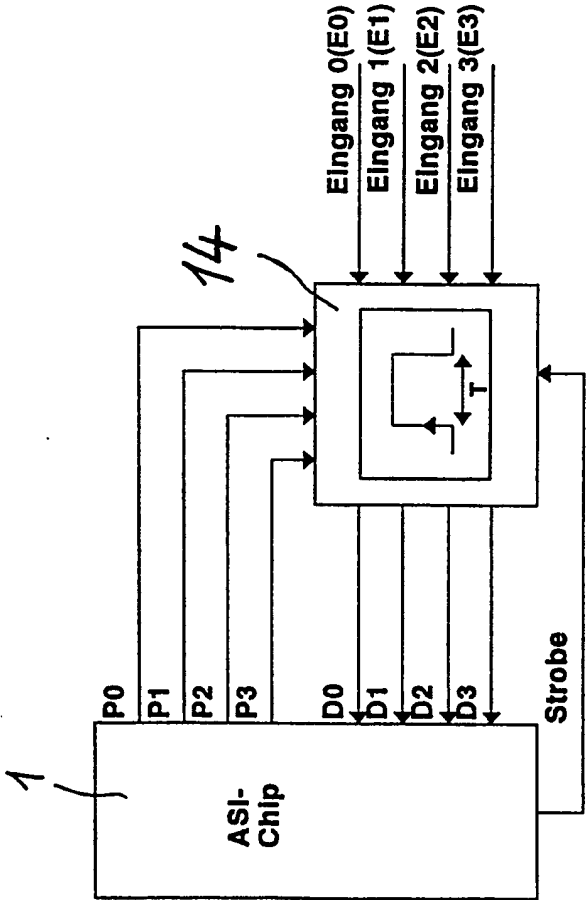


Fig.5

z.B. Eingangsfrequenzteiler

p0	p1	p2	p3	Teller
0	0	0	0	—
1	0	0	0	T=T(1)
0	1	0	0	T=T(2)
1	1	0	0	T=T(3)
0	0	1	0	T=T(4)
			...	

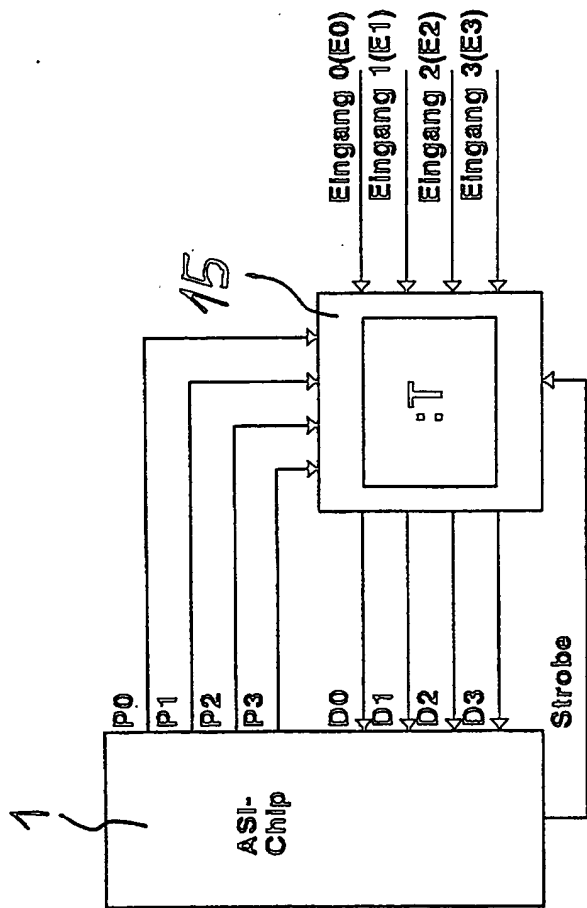


Fig. 6